

LIQUID CRYSTAL CONTROL CIRCUIT

Patent number: JP1010299

Publication date: 1989-01-13

Inventor: ONISHI KEITA; WATABE KAZUHIRO; IMAMURA MUNETATSU; SAITO TAKAKIMI; OTA I

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: G09G3/36; G02F1/133

- european:

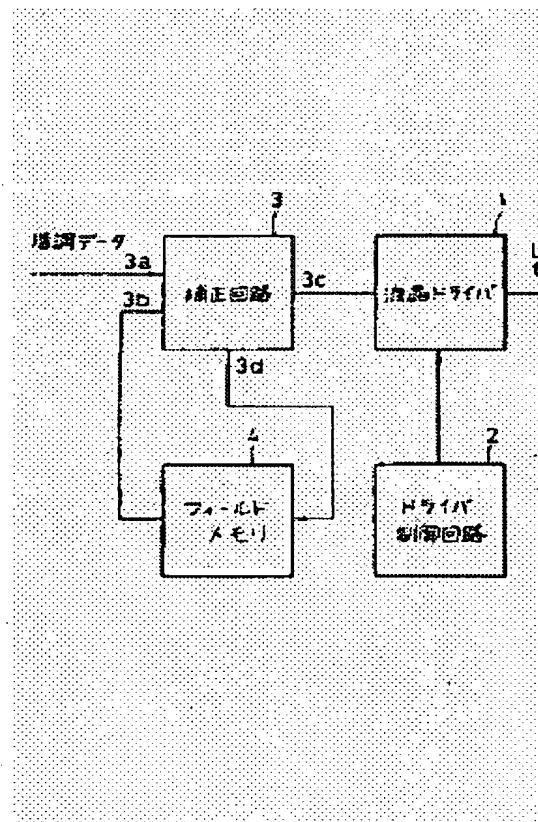
Application number: JP19870166386 19870703

Priority number(s):

Abstract of JP1010299

PURPOSE: To make the time required for settlement at transmissivity corresponding to all gradations nearly constant without overcorrection by making correction with a combination of gradation data and data obtained by predicting the state of liquid crystal right before gradation variation.

CONSTITUTION: This circuit is equipped with a field memory 4 which can store data of one field and a correcting circuit 3 which converts data. Data of a last field stored in the field memory 4 is compared with new data and the data is converted into data for making a voltage applied to the liquid crystal proper and outputted to a driver IC; and the transmissivity of the liquid crystal which is one field later is predicted and written in the field memory 4. Consequently, the response time of the liquid crystal can be made nearly constant irrelevantly to whether the voltage applied to the liquid crystal is high or low and the state of the liquid crystal at that time.



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2708746号

(45)発行日 平成10年(1998)2月4日

(24)登録日 平成9年(1997)10月17日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5	5 7 0	G 0 2 F 1/133	5 0 5 5 7 0

発明の数1(全10頁)

(21)出願番号	特願昭62-166386	(73)特許権者	99999999 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
(22)出願日	昭和62年(1987)7月3日	(72)発明者	大西 啓太 神奈川県相模原市宮下1丁目1番57号
(65)公開番号	特開平1-10299		三菱電機株式会社相模製作所内
(43)公開日	平成1年(1989)1月13日	(72)発明者	渡部 一浩 神奈川県相模原市宮下1丁目1番57号
審判番号	平6-10845	(74)代理人	弁理士 宮田 金雄 (外3名)

合議体
審判長 岩野 進
審判官 杉崎 一也
審判官 木村 勇夫

最終頁に続く

(54)【発明の名称】 液晶制御回路

(57)【特許請求の範囲】

1. フレームごとに入力される入力階調データに基づいて、階調により応答時間の異なる液晶表示部を制御する液晶制御回路において、液晶表示部を駆動する液晶ドライバと、1フレーム分の階調データを記憶するフレームメモリと、1フレーム後の液晶表示部の表示階調に相当する階調データをフレームメモリに書き込むとともに、入力階調データが1フレーム前に書き込まれたフレームメモリからの記憶階調データよりも大きい場合には、液晶表示部を1フレーム後に入力階調データに相当する表示階調とする補正階調データを液晶ドライバへ出力し、入力階調データが1フレーム前に書き込まれたフレームメモリからの記憶階調データよりも小さい場合には、入力階調データを液晶ドライバへ出力する補正回路とを備えた液晶制御回路。

2. フレームメモリが、入力階調データよりも分解能の高い階調データを記憶可能とし、補正回路が、入力階調データよりも分解能の高い階調データをフレームメモリに書き込むとともに、この記憶階調データ及び入力階調データに基づき、補正階調データを液晶ドライバへ出力する請求項1に記載の液晶制御回路。

【発明の詳細な説明】

【産業上の利用分野】

この発明は、液晶制御回路、特に、液晶パネルに適正な電圧を印加し、階調制御を行う液晶制御回路に関するものである。

【従来の技術】

従来、この種の装置として第8図に示すものが知られている。第8図は従来の液晶制御回路を示すブロック図であり、図中、1はドライバIC、2はこのドライバICを

(2)

3

制御するドライバ制御回路である。

つぎに動作について説明する。複数ビットの階調データを、ドライアIC1に入力する。ドライバ制御回路2では、前記階調データの転送クロックと、この転送クロックにより、前記階調データを1フレーム分転送したのち、データをラッチするためのラッチパルスと、前記ラッチパルスによりラッチしたデータを合成することにより、階調信号を生成する階調基本パルスと、前記階調信号を液晶駆動電圧にレベルシフトするための電圧制御信号と、前記液晶駆動信号を交流化するための交流化信号を発生する。ドライバIC1は、前記階調データと前記諸信号により、適当な液晶駆動電圧を生成し、LCDセグメント液晶に印加して階調制御を行うように構成されていた。

[発明が解決しようとする問題点]

しかしながら、従来の液晶制御回路にあっては、以上のように構成してあるので液晶に印加する電圧は階調データに追従して変化するが、液晶の透過率の応答は低階調時（印加電圧が低いとき）は、印加電圧に十分に追従することができなかつた。このため、低階調の映像が表示画面上を移動する場合、暗くなったり、また、カラー表示する場合は、低階調と高階調での応答時の違いにより、動画の輪郭部分に色のズレが生じてしまうなどの問題点があつた。

この発明は、以上のような問題点を解消するためになされたもので、液晶に印加される電圧の高低や、そのときの液晶の状態にかかわらず、液晶の応答時間をおぼ一一定にすることができる液晶制御回路を得ることを目的としている。

[問題点を解決するための手段]

請求項1に記載の本発明による液晶制御回路は、フレームごとに入力される入力階調データに基づいて、階調により応答時間の異なる液晶表示部を制御する液晶制御回路において、液晶表示部を駆動する液晶ドライバと、1フレーム分の階調データを記憶するフレームメモリと、1フレーム後の液晶表示部の表示階調に相当する階調データをフレームメモリに書き込むとともに、入力階調データが1フレーム前に書き込まれたフレームメモリからの記憶階調データよりも大きい場合には、液晶表示部を1フレーム後に入力階調データに相当する表示階調とする補正階調データを液晶ドライバへ出力し、入力階調データが1フレーム前に書き込まれたフレームメモリからの記憶階調データよりも小さい場合には、入力階調データを液晶ドライバへ出力する補正回路とを備えて構成される。

請求項2に記載の本発明による液晶制御回路は、請求項1に記載の液晶表示装置であつて、フレームメモリが、入力階調データよりも分解能の高い階調データを記憶可能とし、補正回路が、入力階調データよりも分解能の高い階調データをフレームメモリに書き込むとともに

4
に、この記憶階調データ及び入力階調データに基づき、補正階調データを液晶ドライバへ出力するように構成される。

[作用]

請求項1に記載の本発明による液晶制御回路は、補正回路が1フレーム後の液晶表示部の表示階調に相当する階調データをフレームメモリに書き込むことにより、フレームメモリは次の階調変化直前の液晶表示部の表示階調に相当する階調データを記憶している。また、補正回路は、入力階調データと、1フレーム前に書き込まれたフレームメモリに記憶されている記憶階調データとを比較し、入力階調データが記憶階調データよりも大きい場合には、入力階調データに代えて補正階調データを液晶ドライバへ出力し、1フレーム後の液晶表示部を入力階調データに相当する表示階調にする一方、入力階調データの記憶階調データよりも小さい場合には、入力階調データを液晶ドライバへ出力する。

請求項2に記載の本発明による液晶制御回路は、補正回路が、1フレーム後の液晶表示部の表示階調に相当する階調データとして、入力階調データよりも分解能の高いデータを求めてフレームメモリに書き込み、フレームメモリが、分解能の高い階調データを記憶する。また、補正回路は、フレームメモリからの分解能の高い記憶階調データ及び入力階調データに基づき、補正階調データを求めて液晶ドライバへ出力する。

[発明の実施例]

以下に、この発明の一実施例を図に基づいて説明する。第1図はこの発明の一実施例に係わる液晶制御回路を示す構成図であり、図において、1は液晶ドライバであるドライバIC、2はこのドライバICのドライバ制御回路、3は補正回路で、この補正回路3を前記ドライバIC1と接続してあり、3cはこの補正回路3の出力側で、この出力側3cから、補正回路3により補正したデータを前記ドライバIC1に出力するようになっている。4はフレームメモリで、このフレームメモリ4に、後出の階調変化直前の液晶の透過率すなわち表示階調に相当する階調データを記憶するようになっている。3aは前記補正回路3に前記階調データを入力する入力側、3bは前記補正回路3に前記フレームメモリ4の出力データを入力する入力側、3bは前記補正回路3に前記フレームメモリ4の出力を入力する入力側、3dは前記補正回路3の出力をフレームメモリ4に入力する出力側である。前記フレームメモリ4に記憶した階調データと、前段から送ってきた入力階調データを組み合わせることにより、前記補正回路3において前記入力階調データの補正を行うようになっている。

つぎに、動作について説明する。ここに、ある階調データをDxとし、このデータに対応する液晶印加電圧をVxとし、また、このVxの電圧を印加して十分安定したときの階調である液晶の状態をKxとする。

(3)

5

第1図において、階調が一定K1である場合、その階調データをD1とすると、補正回路3の入力側3a、3bにはD1の階調データを入力し、補正回路3の出力側3c、3dからはD1の階調データを出力する。

いま、第2図aに示すように、階調データがD1からD2に変化した場合 ($D1 < D2$)、補正を行わなければ、液晶には第2図bに示すような電圧V2を印加する。しかし、液晶は、電圧の変化に追従することができず、第2図cに示すような動作をして、K1からK2になるまでに数フレーム分の時間を要する。

ここで、印加電圧をV1からV3 ($V3 > V2$) に変化したとき、1フレーム後に液晶がK2の状態になるような電圧V3 (十分時間が経過すればK3の状態になる) を、第2図のdのように、1フレームだけを印加し、その後、印加電圧をV2にすれば、液晶は第2図のeに示すような動作をして、1フレームで所定の階調K2に達することができる。

以上の動作は、第1図補正回路3の入出力側 (3a～3d) のデータの変化で示すと、第3図に示すようになる。はじめ、補正回路3の入力側3a、3bにはD1の階調データを入力し、補正回路3の出力側3c、3dからはD1の階調データを出力している。時刻T1で入力階調データをD1からD2に変化すると、補正回路3の入力側3aに入力する階調データはD2に変化するが、補正回路3の入力側3bに入力する階調データは、フレームメモリ4に1フレーム前に書き込んだデータ (現在の液晶の状態を示すデータ) D1を読み出して入力する。補正回路3の出力側3dからは1フレーム後の液晶の状態K2を予測して、K2に対応した階調データD2を出力して前記フレームメモリ4に書き込む。補正回路3の出力側3cからは、1フレーム後の時刻T2に所定の液晶の状態K2になるような電圧V3に対応した補正した階調データD3を出力し、前記ドライバIC1に入力する。1フレーム後の時刻T2では、補正回路3の入力側3bに入力する階調データもD2になり (すなわち、液晶はK2の状態であるということを表わす)、補正回路3の出力側3cからの出力もD2の階調データとなる。

つぎに、第4図aに示すように、入力階調データがD4からD5に変化した場合、($D4 > D5$)について説明する。

このときの印加電圧の変化は第4図bに示すようになるが、液晶は、第4図cに示すように、K5の状態になるまでに数フレーム分の時間を要する。たとえば、第4図cに示すように、K4からK5の状態になるまでに3フレーム分の時間がかかるとすると、1フレーム後にはK6、2フレーム後にはK7の状態になり、3フレーム後でK5の安定した状態になる。 $(D4 > D6 > D7 > D5)$

以上の動作は第1図の補正回路3の入出力側 (3a～3d) のデータの変化で示すと第5図に示すようになる。はじめ、補正回路3の入力側3a、3bには4の階調データを入力し、補正回路3の出力側3c、3dからはD4の階調データを出力している。時刻T3で階調データがD4からD5に

6

変化すると、補正回路3の入力側3aのデータは、D5の階調整データに変化するが、補正回路3の入力側3bに入力するデータはフレームメモリ4に1フレーム前に書き込んだデータ (現在の液晶の状態を示すデータ) D4を読み出して入力する。補正回路の出力側3dからは1フレーム後の時刻T4での液晶の状態K6を予測して、K6に対応したデータD6を出力して、フレームメモリ4に書き込む。時刻T4になると、補正回路3の入力側3bのデータは時刻T3のときに予測し、フレームメモリ4に書き込んだデータD6を読み出す。補正回路3では、補正回路の入力側3aのデータD5と補正回路3の入力側3bのデータD6から時刻T5での液晶の状態K7を予測して、K7に対応したデータDを補正回路3の出口側3dより出力し、フレームメモリ4に書き込む。同様の繰り返しにより、最終的に補正回路3の主入出力側3a～3dのすべてのデータがT6でD5になる。このとき、液晶もK5の安定した状態になっている。以上のように、 $D4 > D5$ の場合は、第5図のように、見かけ上は、補正回路3の入力側3aに入ってきた入力階調データを補正回路3の出力側3cより、出力するだけであり、補正を行っていないが、フレームメモリ4には、現在の液晶の状態に対応した、データ、すなわち、前フレームで送られてきた階調データに対応した電圧を液晶に印加することにより、1フレーム後の現在に液晶が何階調に相当する透過率を示しているのかを予測して決めたデータを常に書き込んでいる。ここで、もし、予測を行わずに、ただ送ってきた前フレームの階調データをそのまま、フレームメモリ4に書き込むと、第6図aに示すように、 $D2 \rightarrow D1 \rightarrow D2$ ($D2 > D1$) の変化で、D1の階調データを出力する区間が、液晶の立ち下がり応答時間より短い場合、前記のように、第6図bに示すような印加電圧V3を印加すると、第6図cに示すように補正が過剰になってしまふ。これは、T7からT8までの時間が短いため、液晶がK1の状態に達することができずにK8の状態であるのに、K1の状態に対応したデータD1をフレームメモリ4に書き込んだためである。したがって、時刻T8での液晶の状態K8を予測し、フレームメモリ4に書き込むことにより、補正回路は、図示されないK8の状態に対応するデータD8からK2の状態に対応するD2への階調変化に対応した補正データを出力し、液晶印加電圧は第6図dに示すV9のようになり、液晶は第6図eに示すように補正過剰の状態にはならない。

この発明の一実施例によれば、階調変化直前の液晶の透過率に相当した階調データを記憶するフレームメモリ4とこのフレームメモリ4に記憶したデータと、前段から送ってきた階調データを組み合わせることと、データの補正を行う補正回路3を備えたことにより、液晶に印加する電圧の高低や、そのときの液晶の状態にかかわらずに、液晶の対応時間をほぼ一定にすることができる液晶制御回路を提供しうる。

第7図は、第1図に示した補正回路3のフレームごと

(4)

7

の動作の一例を示したフローチャートである。補正回路3は、階調データが入力されると、フレームメモリ4に1フレーム前に書き込まれ、記憶保持されていたデータ（記憶階調データ）と、入力された階調データ（入力階調データ）との比較を行う（ステップS0）。この比較の結果、入力階調データが記憶階調データよりも大きい場合には、1フレーム後の液晶表示部を入力階調データに対応した透過率にするための補正された階調データを求め（ステップS1、S2）、補正された階調データを液晶ドライバ1へ出力する（ステップS3）。一方、その他の場合には、入力階調データを液晶ドライバ1へ出力する（ステップS1、S4）。

次に、1フレーム後の液晶表示部の透過率を予測し、この透過率に対応した階調データを求め（ステップS5）、予測された階調データをフレームメモリ4に書き込む（ステップS6）。

以上の動作をフレームごとに繰り返すことにより、フレームメモリ4は、常に次の階調変化直前の液晶表示部の透過率に対応した階調データを記憶保持することができ、補正回路3は、この階調データに基づいて補正階調データを求めることができる。従って、階調を増大させる際、1フレーム後の液晶表示部を入力階調データに対応した透過率すなわち表示階調にすることができ、液晶表示部の応答時間を一定とすることができる。

【他の実施例】

この発明の一実施例では、補正回路3の入出力側3a, 3b, 3c, 3dにおける入出力データをすべて階調データと等しいビット数としたが、分解能を上げるために補正回路3の入力側3b、出力側3dの階調データのビット数を補正回路3の入力側3aより大きくしてもよい。この場合、たとえば、補正回路3の入力側3b、出力側3dを6ビット、補正回路3の入力側3aを4ビットとすると、液晶の制御を16階調で行えるが、補正回路3とフレームメモリ4の間は64階調の分解能でデータの受渡しを行うことができる。

8

る。すなわち、1/4階調間隔で補正量を予測することができる。

【発明の効果】

請求項1に記載の本発明による液晶制御回路を用いれば、階調増大時において、階調変化直前の液晶表示部の表示階調に相当する階調データと入力階調データとに基づき補正階調データを求めることができ、1フレーム後の液晶表示部を入力階調データに相当する表示階調とすることができる。また、階調減少後の階調増大時においても補正が過剰になることがない。従って、階調により液晶表示部の応答時間が異なる場合であっても、すべての階調について階調増大時における応答時間をほぼ一定にことができる。

請求項2に記載の本発明による液晶制御回路を用いれば、フレームメモリが、階調変化直前の液晶表示部の表示階調に相当する階調データとして、入力階調データよりも分解能の高いデータを記憶しているため、補正回路は、より分解能の高い階調データに基づき補正階調データを求めることができる。従って、階調増大時における液晶表示部の応答時間をより高い精度で一定とすることができます。

【図面の簡単な説明】

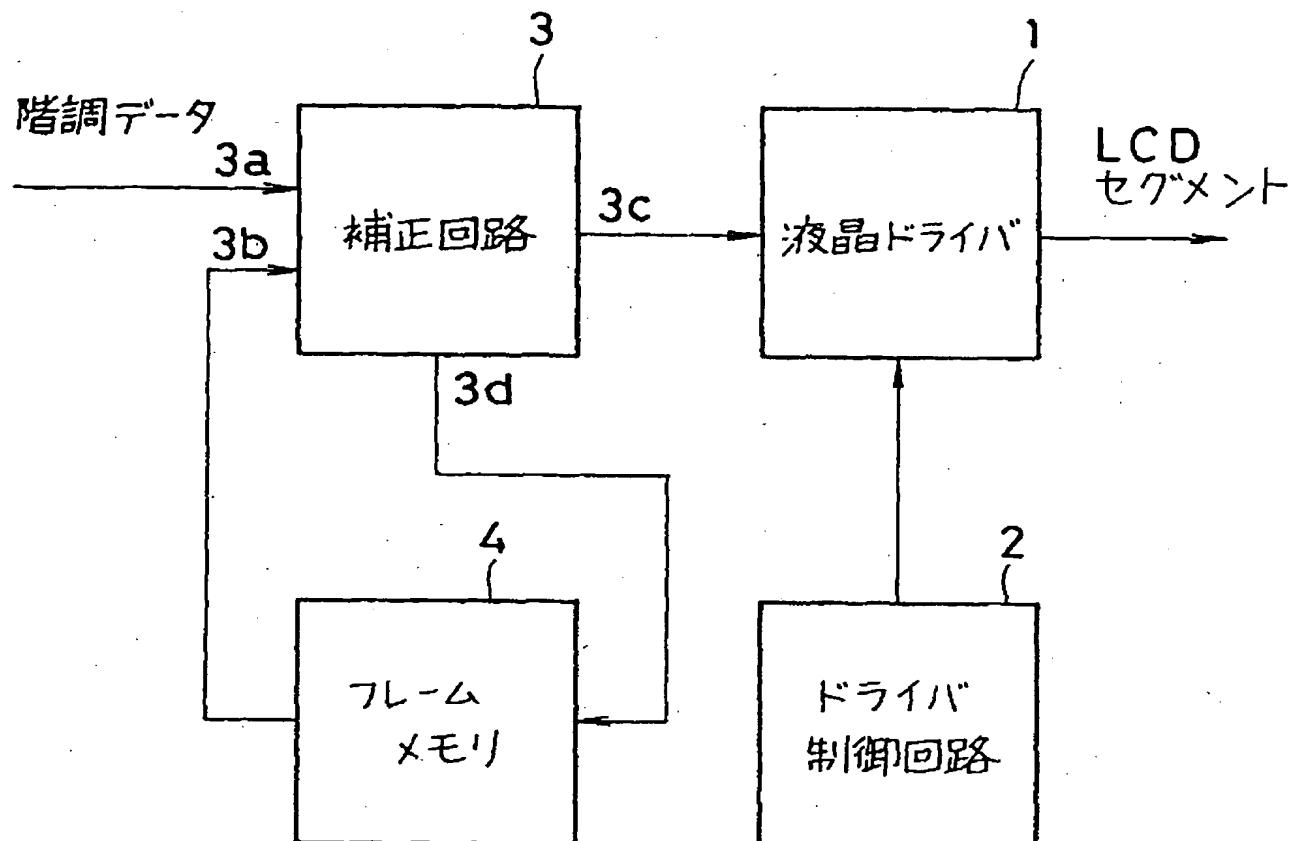
第1図はこの発明の一実施例に係る液晶制御回路を示す構成図、第2図～第6図は、階調データ、印加電圧と液晶の状態の関係を示すタイムチャート、第7図は、図1に示した補正回路の動作の一例を示したフローチャート、第8図は従来例の構成図である。

図中、1は液晶ドライバ、2はドライバ用制御回路、3は補正回路、4はフレームメモリ、3a, 3bは補正回路のデータ入力側、3c, 3dは補正回路のデータ出力側である。

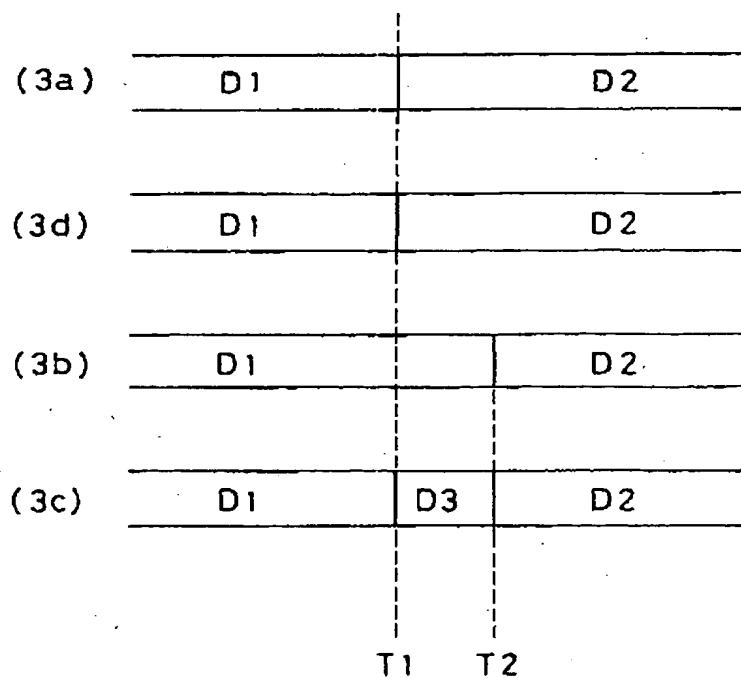
なお、各図中、同一符号は同一部分または相当部分を表す。

(5)

【第1図】

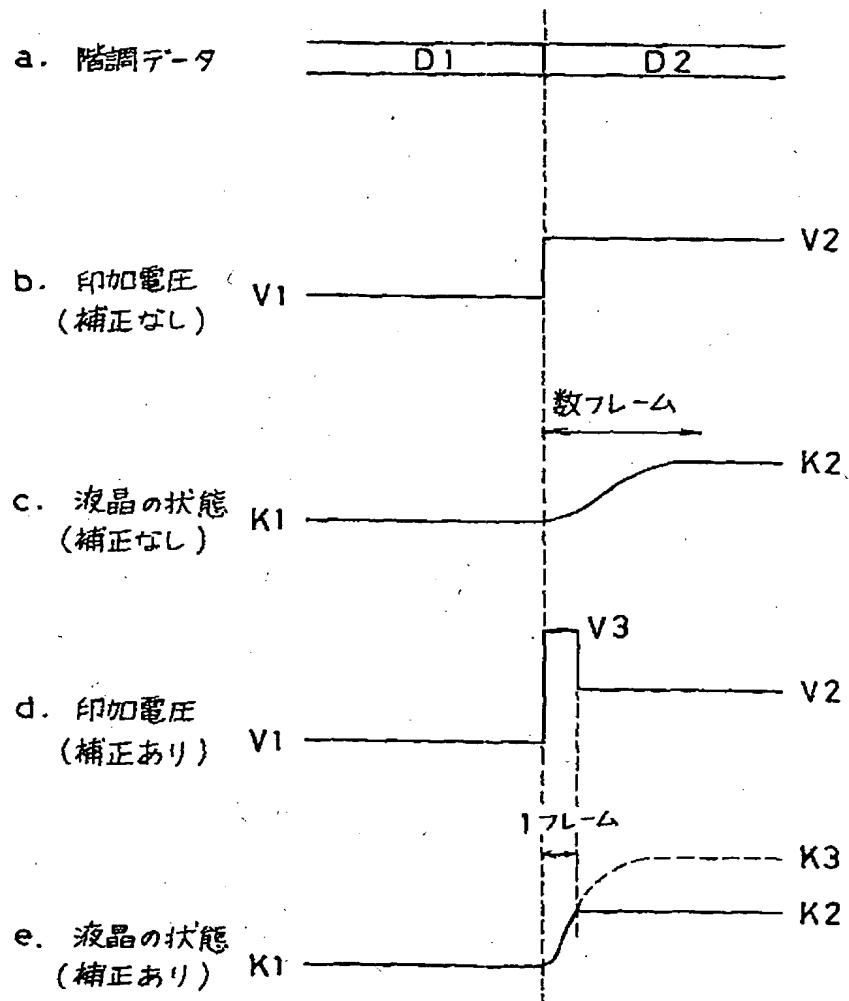


【第3図】

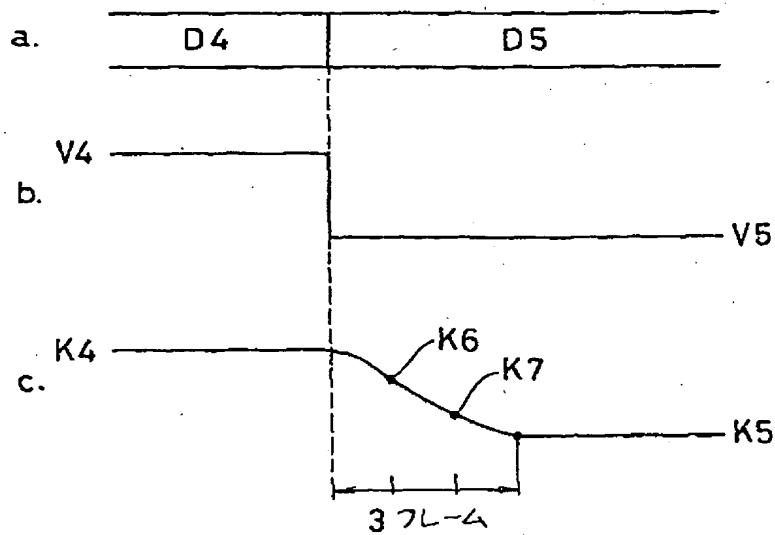


(6)

【第2図】

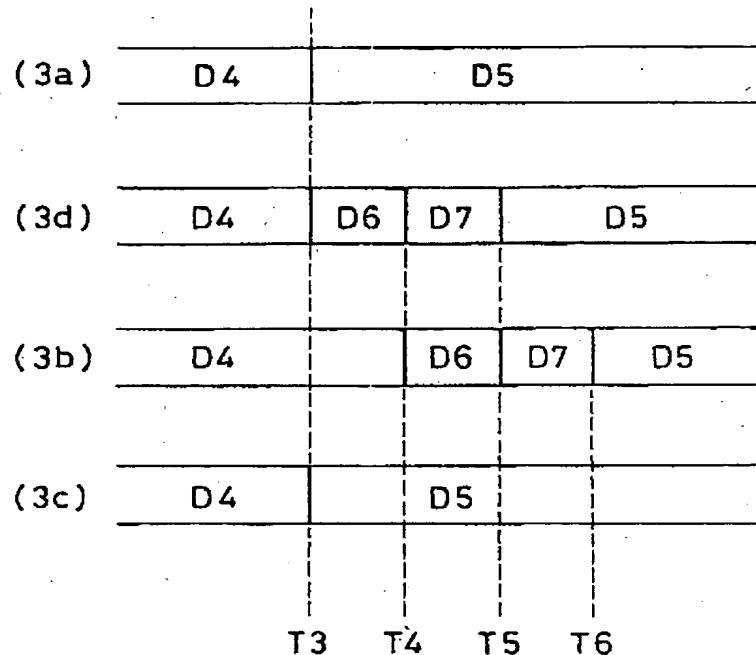


【第4図】

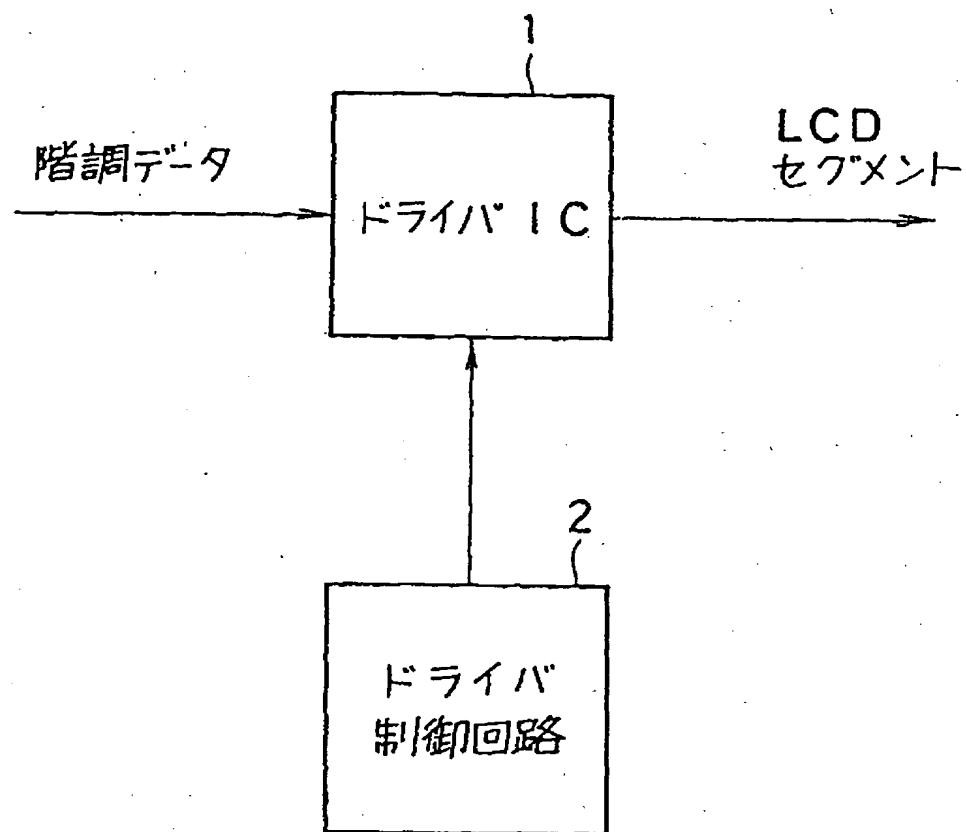


(7)

【第5図】

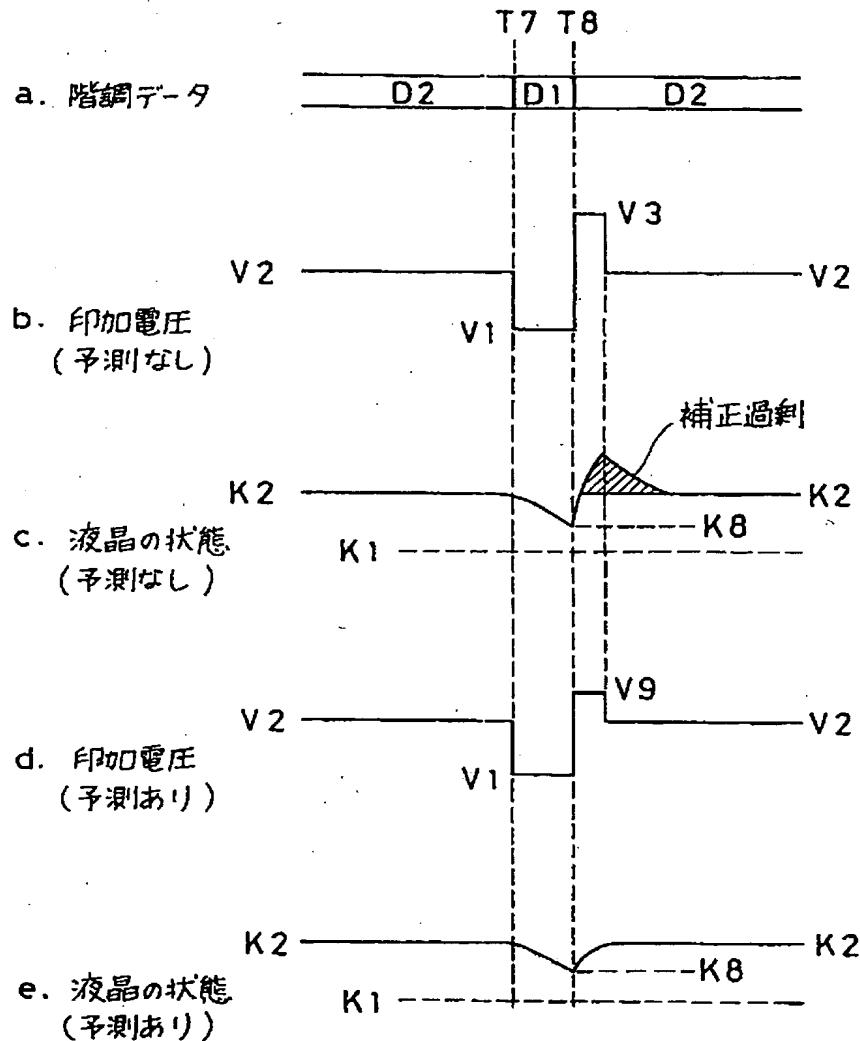


【第8図】



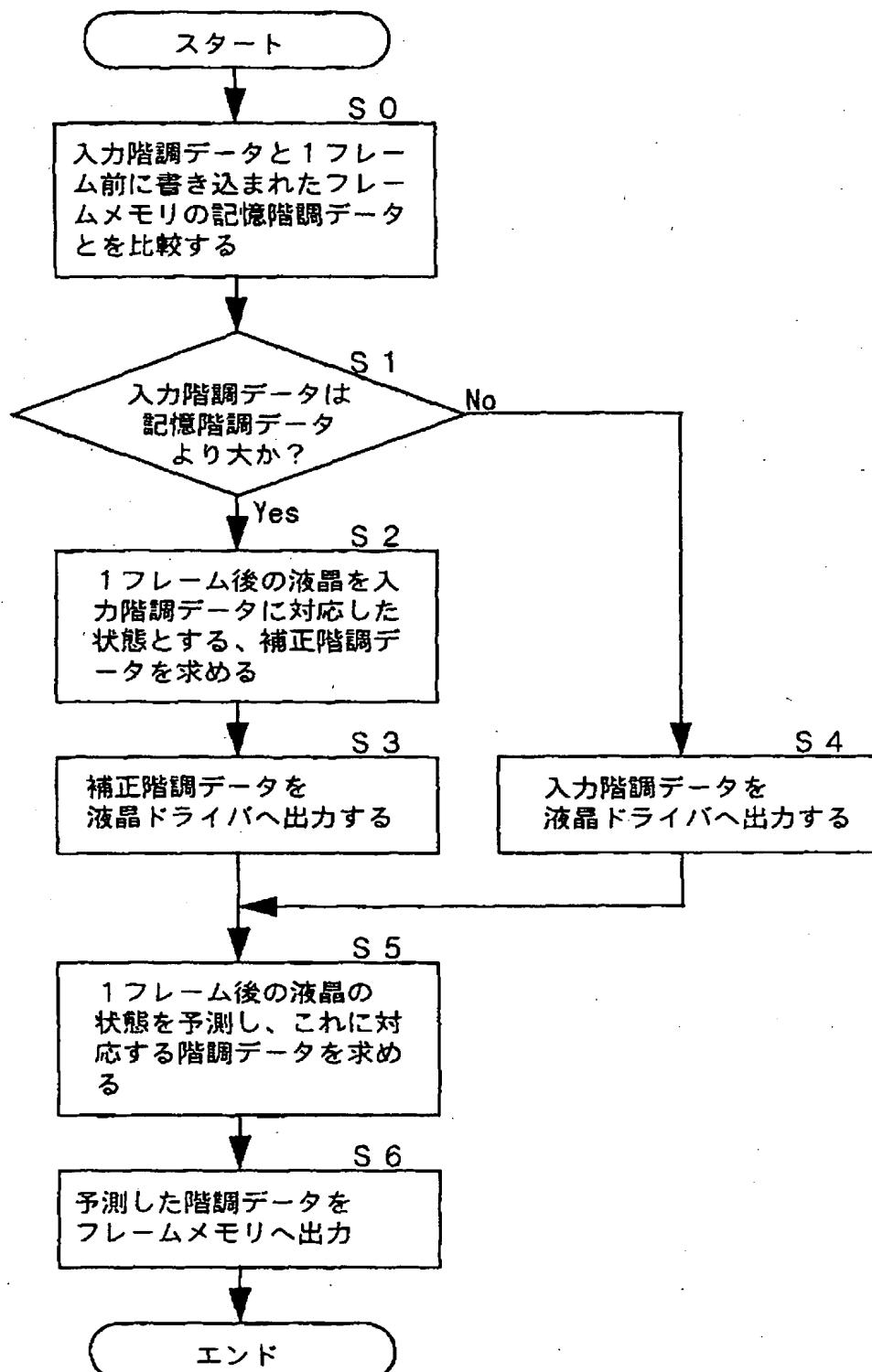
(8)

【第6図】



(9)

【第7図】



(10)

フロントページの続き

(72) 発明者 今村 宗立
神奈川県相模原市宮下1丁目1番57号
三菱電機株式会社相模製作所内
(72) 発明者 斎藤 敬公
神奈川県相模原市宮下1丁目1番57号
三菱電機株式会社相模製作所内

(72) 発明者 太田 誠
神奈川県相模原市宮下1丁目1番57号
三菱電機株式会社相模製作所内
(56) 参考文献 特開 昭62-73234 (J P, A)
特開 昭61-256329 (J P, A)